



(19)

(11) Publication number:

60225254 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 59080240

(51) Intl. Cl.: G06F 11/00 G06F 9/30

(22) Application date: 23.04.84

(30) Priority:

(43) Date of application  
publication: 09.11.85(84) Designated  
contracting states:

(71) Applicant: NEC CORP

(72) Inventor: IMOTO KUNIO

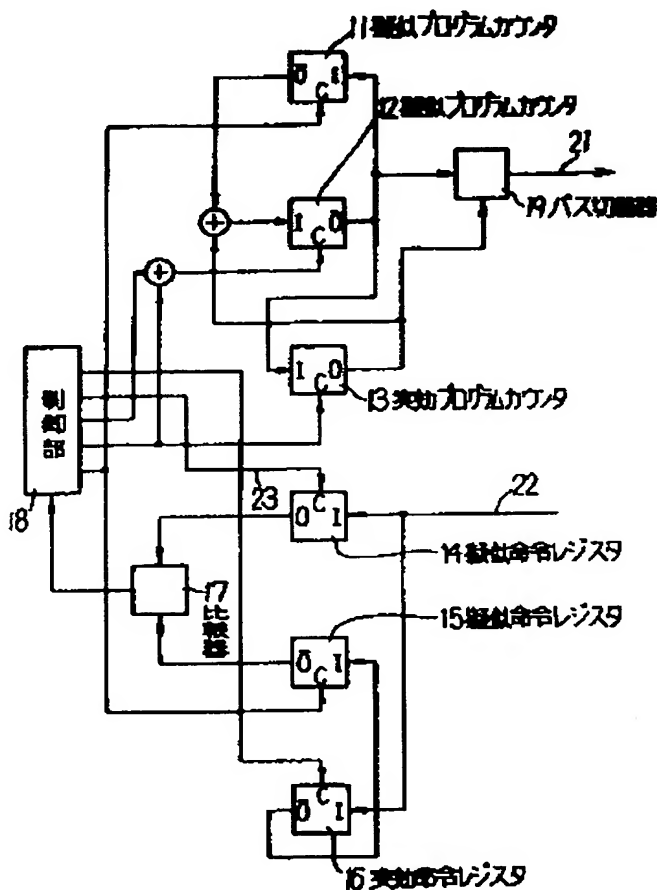
(74) Representative:

(54) COMPUTER OF TWO-  
PHASE SEQUENCE SYSTEM

(57) Abstract:

PURPOSE: To secure the reliability in a degree equivalent to that of a full duplex system by realizing instruction comparing and deciding functions with addition of a simple circuit.

CONSTITUTION: In a pseudo fetch cycle, contents of a program memory designated through an address bus 21 by the value of a pseudo program counter 12 are fetched in a pseudo instruction register 14 by a bus switch 19. In an effective fetch cycle, contents of the program memory designated through the address bus 21 by the value of an effective program counter 13 are fetched in an effective instruction register 16. Contents of pseudo instruction registers 14 and 15 are compared with each other, and a normal execution cycle is performed if they coincide with each other. If they do not coincide with each other, the value of the pseudo program counter 12 is transferred to the effective program counter 13, and the value of a pseudo program counter 11 is transferred to the counter 12, and thereafter, an operation similar to that of a jump instruction is performed.



COPYRIGHT: (C)1985,JPO&amp;Japio

⑨ 日本国特許庁(JP) ⑩ 特許出願公開  
⑫ 公開特許公報(A) 昭60-225254

⑪ Int.Cl.<sup>4</sup>  
G 06 F 11/00  
9/30

識別記号 庁内整理番号  
7368-5B  
7361-5B

⑬ 公開 昭和60年(1985)11月9日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 2相シーケンス方式計算機

⑮ 特 願 昭59-80240

⑯ 出 願 昭59(1984)4月23日

⑰ 発 明 者 井 元 邦 夫 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑲ 代 理 人 弁理士 芦 田 坦 外2名

明 細 書

を切替える切替器9とを付加して成る2相シーケンス方式計算機。

1. 発明の名称

2 相シーケンス方式計算機

2. 特許請求の範囲

1. 2ステップ前のプログラムアドレスを保持する第1の擬似プログラムカウンタと、1ステップ前のプログラムアドレスを保持する第2の擬似プログラムカウンタと、実際に実行されるプログラムアドレスを保持する実効プログラムカウンタと、前記第2の擬似プログラムカウンタでアドレスされた番地から読まれた命令を一時保持する第1の擬似命令レジスタと、比較用の命令を保持する第2の擬似命令レジスタと、実際に実行される命令を一時保持する実効命令レジスタと、前記第1及び第2の擬似命令レジスタに保持された命令を比較する比較器7と、前記各要素の制御部8と、前記第2の擬似プログラムカウンタと実効プログラムカウンタの出力

3. 発明の詳細な説明

〔発明の属する技術分野〕

本発明は2相シーケンス方式計算機に関し、特にこの種計算機基本方式における信頼性向上のための技術に関する。

〔従来技術〕

計算機システムにおいて信頼性を保障する為の一方式として二重化が行われている。二重化が経済上得策でない場合は、例えばアクセスされるメモリ範囲を定め、それ以外のメモリがアクセスされる事を禁止する等の方法が用いられている。これらはいずれも計算機制御部は従来のままである。

第4図は従来の計算機制御部で本発明と関係のある部分を示す。41はプログラムカウンタ42の出力と実効サイクル時に出力されるアドレスバス45とを切替える為の切替器、46はその出力

である。43は命令レジスタで、インストラクションフェッチ時にデータバス47の値が読みとられる。40は制御部である。

しかし、このような計算機で完全二重化を採用するのは経済上得策とは言えず、かと言って部分的なプロテクションでは完全には保障できない。

#### 〔発明の目的〕

本発明の目的は、なるべく簡単な方式で容易に完全二重化に相当する程度の信頼性を保障し得る2相ジーケン方式計算機を提供する事である。

#### 〔発明の構成〕

本発明は、2ステップ前のプログラムアドレスを保持する第1の擬似プログラムカウンタと、1ステップ前のプログラムアドレスを保持する第2の擬似プログラムカウンタと、実際に実行されるプログラムアドレスを保持する実効プログラムカウンタと、第2の擬似プログラムカウンタでアドレスされた番地から読まれた命令を

13は実際に実行されるプログラムアドレスを保持する実効プログラムカウンタである。バス切替器19は第2の擬似プログラムカウンタ12と実効プログラムカウンタ13の出力を切替える。14はデータバス22を通して送られてくる命令を一時保持する第1の擬似命令レジスタ、15は比較用の命令を一時保持する第2の擬似命令レジスタ、16は実際に実行される命令を一時保持する実効命令レジスタ、17は比較器である。18は各部の制御部である。

擬似フェッチ(pseudo fetch)サイクルにてはバス切替器19により擬似プログラムカウンタ12の値によってアドレスバス21で指定されるプログラムメモリの内容をデータバス22を通して読みとり、擬似命令レジスタ14にフェッチする。23はそのためのクロックパルスで制御部18より供給される。実効フェッチ(actual fetch)サイクルにては実効プログラムカウンタ13の値によってアドレスバス21で指定されるプログラムメモリの内容をデータバス22を通して実効命令レ

一時保持する第1の擬似命令レジスタと、比較用の命令を保持する第2の擬似命令レジスタと、実際に実行される命令を一時保持する実効命令レジスタと、前記第1及び第2の擬似命令レジスタの内容を比較する比較器と、これらを制御する制御部と、前記第2の擬似プログラムカウンタと実効プログラムカウンタの出力を切替える切替器とを従来の計算機基本制御部に付加して提供される。

#### 〔実施例〕

以下に、第1図～第3図を参照して本発明の実施例を説明する。

第1図は本発明の一実施例をブロック図で示す。便宜上、インストラクションサイクルは第2図に示すものとする。第3図はインストラクション実行フローを示す。

第1図において、11は2ステップ前のプログラムアドレスを保持する第1の擬似プログラムカウンタ、12は1ステップ前のプログラムアドレスを保持する第2の擬似プログラムカウンタ、

レジスタ16にフェッチする。チェックサイクルにては比較器17により擬似命令レジスタ14と15とを比較し、一致(擬似命令レジスタ14には前ステップの正しく実行された命令値がはいっている。一方、擬似命令レジスタ15にもその値がはいっている。但し、レジスタ15の値は前ステップのインストラクションサイクル時に読まれたものであり、レジスタ14の値は現在のインストラクションサイクル時に読まれたものである。)したならば、正常実行サイクルが行われるとともに下記動作が行われる。すなわち、実効命令レジスタ16の値をレジスタ15へ転送(これは次のサイクルの比較用である。)すると共に、擬似プログラムカウンタ12の値を擬似プログラムカウンタ11へ転送し、更に実効プログラムカウンタ13の値を擬似プログラムカウンタ12へ転送する。

一方、不一致ならば(不一致という事は、前ステップでフェッチされた命令値が正しいものでない事を示す。)擬似プログラムカウンタ12の

値を実効プログラムカウンタ13へ転送し、擬似プログラムカウンタ11の値を擬似プログラムカウンタ12へ転送後、ジャンプ命令(ジャンプ先アドレスは実効プログラムカウンタ13によって与えられる。)と同様の操作が行われる。

〔発明の効果〕

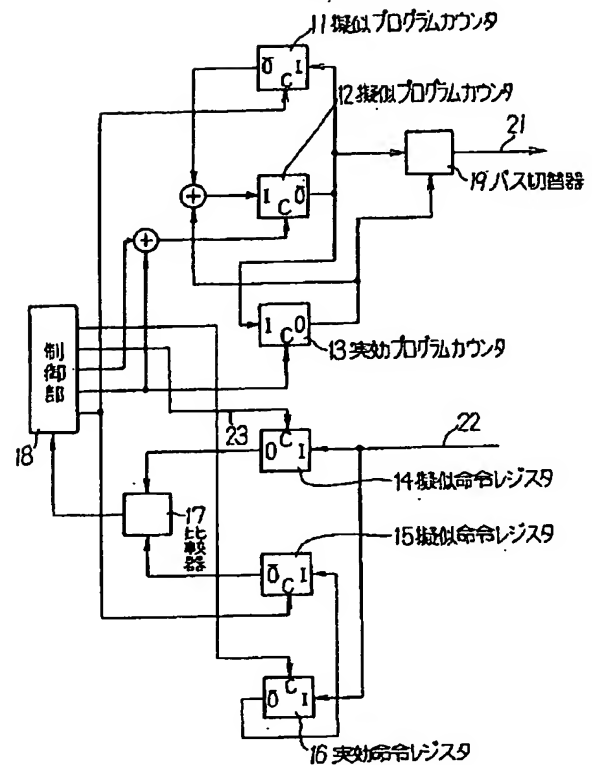
以上の説明で明らかなように、本発明では簡単な回路の追加で命令の比較・判定機能を有することにより、きわめて信頼性の高い計算機が容易に実現できる。

4. 図面の簡単な説明

第1図は本発明の一実施例の要部ブロック図、第2図はインストラクションサイクルを示す図、第3図はインストラクションサイクルにおける実行フローを示し、第4図は従来の計算機制御部の一部のブロック図。図において、11、12…擬似プログラムカウンタ、13…実効プログラムカウンタ、14、15…擬似命令レジスタ、16…実効命令レジスタ、17…比較器、18…制御部、19…バス切替器。

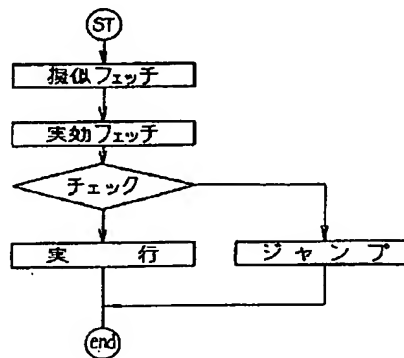
代理人 (712) 弁理士 後藤 洋介

第1図



第2図 擬似フェッチ サイクル 実効フェッチ サイクル チェック サイクル 実行 サイクル

第3図



第4図

